

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11008568 A**

(43) Date of publication of application: **12 . 01 . 99**

(51) Int. Cl. **H04B 1/707**
H04B 7/08
H04L 7/00

(21) Application number: **09176609**

(22) Date of filing: **18 . 06 . 97**

(71) Applicant: **YOZAN:KK N T T IDO**
TSUSHINMO KK

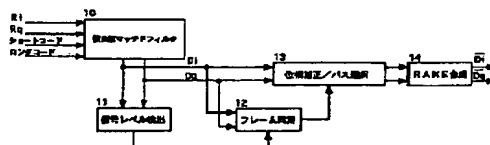
(72) Inventor: **SHU NAGAAKI**
SHU TERUHEI
SAWAHASHI MAMORU
ADACHI FUMIYUKI

(54) **SIGNAL RECEPTION EQUIPMENT FOR CDMA**
COMMUNICATION SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To highly precisely perform path selection in small circuit scale at a RAKE receiver.

SOLUTION: Inverse diffusion signals D_i and D_q outputted from a complex matched filter 10 are inputted to a phase correction and a path selection part 13, a phase error contained in the received signal of a pilot symbol block is extracted, and based on this error, a phase correct signal is calculated. From this phase correct signal, the phase correction of the received signal of an information symbol performed. In addition, received signal power is calculated based on an average value of the several slots of this phase correct signal, and a prescribed number of paths having high power in this received signal are selected. The phase corrected received signal of each path is added and outputted, while matching its timing at a RAKE-synthesizing part 14.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-8568

(43)公開日 平成11年(1999) 1月12日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 B 1/707

H 0 4 J 13/00

D

7/08

H 0 4 B 7/08

D

H 0 4 L 7/00

H 0 4 L 7/00

C

審査請求 未請求 請求項の数 6 F D (全 12 頁)

(21)出願番号

特願平9-176609

(22)出願日

平成9年(1997) 6月18日

(71)出願人 390010515

株式会社鷹山

東京都世田谷区北沢3-5-18 鷹山ビル

(71)出願人 392026693

エヌ・ティ・ティ移動通信網株式会社

東京都港区虎ノ門二丁目10番1号

(72)発明者 周 長明

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(72)発明者 周 旭平

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(74)代理人 弁理士 高橋 英生

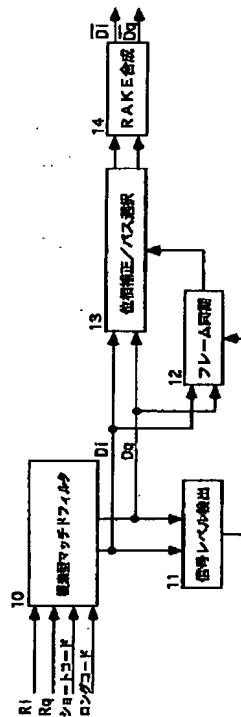
最終頁に続く

(54)【発明の名称】 CDMA通信システムにおける信号受信装置

(57)【要約】

【課題】 RAKE受信機において、少ない回路規模でパス選択を高精度に行う。

【解決手段】 複素型マッチドフィルタ10から出力される逆拡散信号 D_i 、 D_q は位相補正およびパス選択部13に入力され、パイロットシンボルブロックの受信信号に含まれている位相誤差が抽出され、これに基づいて位相補正信号が算出される。この位相補正信号により情報シンボルの受信信号の位相補正が行われる。また、この位相補正信号の数スロット分の平均値に基づいて受信信号電力が算出され、この受信信号電力の大きい所定数のパスが選択される。各パスの位相補正された受信信号はRAKE合成部14においてタイミングを合わせて加算され出力される。



【特許請求の範囲】

【請求項1】 各フレームが複数のスロットからなり、各スロットが複数の情報シンボルからなる情報シンボルブロックと複数のパイロットシンボルからなるパイロットシンボルブロックとを含むフレーム構成とされたCDMA通信システムにおける信号受信装置であって、受信信号を逆拡散するマッチドフィルタと、該マッチドフィルタから出力される逆拡散信号のレベルを検出する信号レベル検出部と、前記パイロットシンボルに対応する逆拡散信号に基づいてフレーム同期を検出するフレーム同期検出部と、前記パイロットシンボルに対応する逆拡散信号から位相補正信号を算出し、該位相補正信号を使用して前記情報シンボルに対応する逆拡散信号の位相補正を行うとともに、前記位相補正信号の電力に基づいて受信すべきパスを選択する位相補正およびパス選択部と、前記位相補正およびパス選択部から出力される前記位相補正された逆拡散信号をタイミングを一致させて合成するレーク合成部とを有することを特徴とするCDMA通信システムにおける信号受信装置。

【請求項2】 前記位相補正およびパス選択部は、前記パイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号をデジタル信号に変換するアナログデジタル変換器と、該デジタル化された位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記デジタル化された位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記マッチドフィルタから出力される情報シンボルの逆拡散信号をサンプルホールドするサンプルホールド回路と、該サンプルホールドされた情報シンボルの逆拡散信号と前記メモリから出力されるデジタル化された位相補正信号とを乗算する乗算器とを有することを特徴とする前記請求項1に記載のCDMA通信システムにおける信号受信装置。

【請求項3】 前記位相補正およびパス選択部は、前記マッチドフィルタから出力されるパイロットシンボルの逆拡散信号をデジタル信号に変換するアナログデジタル変換器と、該アナログデジタル変換器からのデジタル化されたパイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、

前記マッチドフィルタから出力される情報シンボルの逆拡散信号をサンプルホールドするサンプルホールド回路と、該サンプルホールドされた情報シンボルの逆拡散信号と前記メモリから出力される位相補正信号とを乗算する乗算器とを有することを特徴とする前記請求項1に記載のCDMA通信システムにおける信号受信装置。

【請求項4】 前記位相補正およびパス選択部は、前記マッチドフィルタから出力される逆拡散信号をデジタル信号に変換するアナログデジタル変換器と、該アナログデジタル変換器からのデジタル化されたパイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記アナログデジタル変換器からのデジタル化された情報シンボルの逆拡散信号と前記メモリから出力される位相補正信号とを乗算する乗算器とを有することを特徴とする前記請求項1に記載のCDMA通信システムにおける信号受信装置。

【請求項5】 前記位相補正およびパス選択部は、前記マッチドフィルタから出力されるパイロットシンボルの逆拡散信号をデジタル信号に変換する第1のアナログデジタル変換器と、該第1のアナログデジタル変換器からのデジタル化されたパイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記マッチドフィルタから出力される情報シンボルの逆拡散信号をデジタル信号に変換する第2のアナログデジタル変換器と、該第2のアナログデジタル変換器からのデジタル化された情報シンボルの逆拡散信号と前記メモリから出力される位相補正信号とを乗算する乗算器とを有することを特徴とする前記請求項1に記載のCDMA通信システムにおける信号受信装置。

【請求項6】 前記位相補正およびパス選択部は、受信信号のパイロットシンボルのタイミングに合わせて作動され、それ以外のタイミングにおいてはスリープ状態とされることを特徴とする前記請求項1に記載のCDMA通信システムにおける信号受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DS-CDMA通信システムにおける信号受信装置に関し、特に、マルチパス環境下において各パスの受信信号の位相誤差を補正し、レーク（RAKE）合成を行うようにした信号受信装置に関する。

【0002】

【従来の技術】近年、移動無線システムや無線LANなどの無線通信システムの分野において、スペクトラム拡散通信方式、特に、DS-CDMA（Direct Sequence - Code Division Multiple Access）通信方式が注目を集めている。一般に、無線通信システムにおいては、送信機から送信された信号が経路長の異なる複数の伝搬経路を通して受信機に到達し、それらがコヒーレントに加算されないために、いわゆるマルチパスフェージングが発生するが、スペクトラム拡散通信方式においては、RAKE受信方式を採用することにより、このようなマルチパスを有効に利用して信号を受信することが可能となる。

【0003】図7の（a）に、DS-CDMA通信方式における送信データのフレーム構成の一例を示す。この図に示す例においては、各フレームは、複数個（例えば16個）のスロットからなり、各スロットは、パイロットシンボルブロックと情報シンボルブロックとから構成されている。各パイロットシンボルブロックP1、P2、・・・Pnは所定の長さ（例えば4シンボル）とされており、既知のシンボル列が送信される。また、各情報シンボルブロックI1、I2・・・Inには、それぞれ所定数（例えば36シンボル）の情報シンボルが配置されている。図示するように、パイロットシンボルブロックP1、P2・・・Pnと、情報シンボルブロックI1、I2・・・Inとが交互に配列された構成とされており、情報シンボル中にパイロットシンボルが周期的に挿入されて送信される。

【0004】各シンボルは、例えばQPSK方式により情報変調された後、所定の拡散符号を用いてBPSKあるいはQPSK方式により拡散変調されて送信される。ここで、前記拡散符号としては、シンボル長に等しい長さのショートコードと複数シンボル長のロングコードとを組み合わせた2重拡散コードが用いられる。

【0005】図7の（b）は、前述した信号を受信するRAKE受信機の要部の構成を示すブロック図である。この図において、受信アンテナ101において受信されたスペクトラム拡散信号は高周波受信部102において中間周波帯域の信号に変換され、分配器103により同相成分と直交成分の2つの信号に分割されて、それぞれ乗算器106および107に供給される。104は局部周波数を発生する発振器であり、該発振器104からの出力は、前記乗算器106に直接印加されるとともに、その位相を $\pi/2$ だけ移相する位相シフト回路105を介して前記乗算器107に入力される。前記乗算器10

6において前記分配器103からの中間周波帯域の受信信号と前記発振器104からの出力信号とが乗算され、ローパスフィルタ108を介して同相成分（I成分）のベースバンド信号 R_i が出力される。また、前記乗算器107において前記分配器103からの中間周波帯域の受信信号と前記位相シフト回路105の出力信号とが乗算され、ローパスフィルタ109を介して直交成分（Q成分）のベースバンド信号 R_q が出力される。このようにして受信信号は直交検波される。

10 【0006】このようにして得られたベースバンド信号 R_i および R_q は、複素型のマッチドフィルタ110に入力され、PN符号生成回路111により発生される参照PN符号のI成分およびQ成分の系列とそれぞれ乗算され、逆拡散が行なわれる。このマッチドフィルタ110から出力される逆拡散出力の同相成分 D_i と逆拡散出力の直交成分 D_q は、信号レベル検出部112、フレーム同期回路114および位相補正ブロック115に入力される。

20 【0007】前記信号レベル検出部112では、逆拡散出力のI成分 D_i と逆拡散出力のQ成分 D_q とから受信信号電力レベルが算出される。算出された受信信号電力レベルはマルチパス選択部113に入力され、該マルチパス選択部113において、受信信号電力レベルの大きい順に複数N個（例えば、最大4つまで）のピークが複数のパスとして選択される。ここで、マルチパス選択部113では、入力された受信信号電力比較し、最大N個までのパスを選択している。

30 【0008】前記フレーム同期回路114は、前記マルチパス選択部113から受信信号レベルが最大のパスを指定する情報を受け取り、該パスの受信信号中の前記パイロットシンボルブロックのシンボルパターンを検出することにより、フレーム先頭タイミングを検出する。

【0009】また、前記マルチパス選択部113の出力は位相補正ブロック115に入力され、該位相補正ブロック115において、選択されたパス（例えば最大4つまでのパス）に対応する受信信号に対する位相補正が行なわれる。この位相補正ブロック115からの選択された各パスに対応する位相補正された逆拡散出力は、RAKE合成部116においてタイミングを合わせて合成され、データ判定回路117に出力される。そして、該データ判定回路117においてデータ判定され、情報復調が行なわれることとなる。同期検波を行うためには、逆拡散された受信信号の絶対位相を知ることが必要となるため、上述のように、前記位相補正ブロック115において、前記パイロットシンボル（この送信信号ベクトルは既知である）の受信信号の位相回転量（誤差ベクトル）を検出し、該誤差ベクトルから補正信号（補正ベクトル）を算出して逆拡散された受信信号ベクトルの位相を補正している。

50 【0010】図8は、前記位相補正ブロック115の概

略構成を示す図である。この図において、120は、前記複素型マッチドフィルタ110から出力されるパイロットシンボルの逆拡散信号 D_i 、 D_q からそれに含まれている位相誤差を抽出し、それらの平均値を算出するパイロットシンボルの位相誤差抽出・平均化手段である。また、130は、前記位相誤差抽出・平均化手段120から出力される補正信号（補正ベクトル）と情報シンボルブロックの逆拡散信号とを乗算することにより情報シンボルの逆拡散信号 D_i 、 D_q に対する位相補正を行う位相補正手段である。

【0011】ここで、この位相補正処理について説明する。図示しない送信機から送信されたパイロットシンボルを複素数 a （ $=a_i + j \cdot a_q$ ）とし、あるパスにおける逆拡散後の受信パイロットシンボルが P （ $=P_i + j \cdot P_q$ ）であったとする。次の式（1）に示すように、定数倍の振幅の調整の後、基本的に a と P との相違は位相（ θ ）のみである。

$$E = \frac{1}{L} \sum_{k=1}^L (P_i^k + j \cdot P_q^k) \cdot (a_i^k - j \cdot a_q^k) \\ = E_i + j \cdot E_q \quad (3)$$

ここで、 L はパイロットシンボルブロックに含まれるシンボル数（この場合には、 $L=4$ ）であり、上付きの k はパイロットシンボルの番号を示している。

【0013】送信されるパイロット信号（ $a_i + j \cdot a_q$ ）は、通常、 $a_i = (-1, +1)$ と $a_q = (-1, +1)$ の組み合わせになるため、上記式（2）における乗算は受信信号 P_i 、 P_q の正負の符号を制御することにより実行でき、上記パイロットシンボルブロックの位相誤差 E は、基本的に加算器により求めることができる。したがって、位相誤差を算出する回路は簡単な構成のものでよい。

【0014】このようにして、各パイロットシンボルブロックにおける位相誤差の平均値を算出することができ、この算出した位相誤差を用いて情報シンボルの逆拡散信号の位相補正を行なうのであるが、このときに2通りの方法がある。この位相補正の方法について、図9を参照して説明する。図9の（a）はその第1の方法を示す図であり、この図に示すように、この場合には、パイロットシンボルブロック $P1$ 、 $P2$ 、 $P3$ からそれぞれ算出された位相誤差ベクトル $E^{(1)}$ 、 $E^{(2)}$ 、 $E^{(3)}$ を用いて、当該パイロットシンボルブロックに後続する情報シンボルブロック $I1$ 、 $I2$ 、 $I3$ にあるすべての情報シンボルの補正を行うものである。すなわち、この第1の方法は、いわゆる外挿補正を行うものである。

【0015】以下では、パイロットシンボルブロック $P1$ と情報シンボルブロック $I1$ を例にとって、この位相補正演算について説明する。ただし、説明を簡単にするため、ブロックの番号の記載を省略する。この第1の方※50

*【数1】

$$P = P_i + j \cdot P_q = (a_i + j \cdot a_q) \cdot e^{j\theta} \quad (1)$$

したがって、次の式（2）に示すように、受信信号 P に送信信号 a の共役複素数を乗ずることにより、該受信パイロットシンボル P に含まれている位相誤差ベクトル e のみを抽出することができる。

【数2】

$$ev = (P_i + j \cdot P_q)(a_i - j \cdot a_q) \\ = (P_i \cdot a_i + P_q \cdot a_q) + j \cdot (P_q \cdot a_i - P_i \cdot a_q) \\ = e^{j\theta} \quad (2)$$

【0012】したがって、当該パスにおけるパイロットシンボルブロックにおける位相誤差の平均値 E は、次の式（3）により表わすことができる。

*【数3】

※法においては、各パスの補正ベクトルは、パイロットシンボルブロックの位相誤差ベクトルに等しいものを用いており、各情報シンボルのための補正ベクトル M は、次の式（4）～式（6）により定義される。

【数4】

$$M = M_i + j \cdot M_q \quad (4)$$

$$M_i = E_i \quad (5)$$

$$M_q = E_q \quad (6)$$

【0016】そして、次の式（7）に示すように、上記補正ベクトル M の共役ベクトルを当該情報シンボルの受信ベクトル D （ $=D_i + j \cdot D_q$ ）と乗算することにより、当該スロットの情報シンボルブロックの受信信号の位相誤差を補正する。このようにして、補正された受信信号ベクトル D_{hat} （以下、「 D 」の上部に山形の記号が付された記号を「 D_{hat} 」とよぶ）を求めることができる。

【数5】

$$\hat{D} = (D_i + j \cdot D_q) \cdot (M_i - j \cdot M_q) \\ = (D_i M_i + D_q M_q) + j \cdot (D_q M_i - D_i M_q) \quad (7)$$

【0017】以上に示した式（1）から式（7）までは、ある一つのパスについての演算である。これと同じ演算を前記マルチパス選択部113により選択された各

パスの逆拡散後の受信信号についてそれぞれ実行することにより、それらの位相誤差を補正することができる。

【0018】このような位相補正処理を各パスの受信信号に対して実行し、得られた補正済みの各パスの受信信号を、タイミングを一致させて加算することにより、RAKE合成が行なわれ、次の式(8)および式(9)で示す合成出力Dbar(以下、「D」の上部に横線が付された記号を「Dbar」とよぶ)が得られる。

【数6】

$$\bar{D}_i = \sum_{n=1}^N \hat{D}_i^{(n)} \quad (8)$$

$$\bar{D}_q = \sum_{n=1}^N \hat{D}_q^{(n)} \quad (9)$$

ここで、上付きの(n)は各パスの番号を示しており、n=1, 2, ..., Nとなる。ここで、Nは、例えば4とされている。

【0019】図9の(b)は、上記第2の方法を説明するための図である。この図に示すように、この第2の方法は、情報シンボルブロックの前後に位置するパイロットシンボルブロックの受信信号から補正ベクトルを算出し、それらのパイロットシンボルブロックに挟まれている情報シンボルブロックの受信信号の位相補正を行う方法である。すなわち、この方法はいわゆる内挿補正を行うものである。この場合には、例えば36シンボルからなる情報シンボルブロックの前に位置する4シンボルのパイロットシンボルブロックの受信信号の位相誤差と、情報シンボルブロックの後に位置する4シンボルのパイロットシンボルブロックの受信信号の位相誤差の、合計8個のシンボルの位相誤差の平均値を用いて、中間に位置する36シンボルの情報シンボルの位相を補正することとなる。

【0020】この場合には、前記位相誤差抽出・平均化手段120からは、次の式(10)および式(11)に示す、各スロットに含まれている4個のパイロットシンボルの位相誤差の平均化された誤差ベクトルが出力される。ここで、 $E_i^{(n)}$ は当該スロットに含まれているパイロットシンボルの平均誤差ベクトル、 $E_q^{(n)}$ は後続するスロットに含まれているパイロットシンボルブロックの平均誤差ベクトルである。

【数7】

$$E_i^{(n)} = E_i^{(n)} + j \cdot E_q^{(n)} \quad (10)$$

$$E_q^{(n+1)} = E_i^{(n+1)} + j \cdot E_q^{(n+1)} \quad (11)$$

【0021】そして、各情報シンボルの位相誤差を補正するための補正ベクトルMを次の式(12)および式(13)により定義する。

【数8】

$$M_i = (E_i^{(n)} + E_i^{(n+1)})/2 \quad (12)$$

$$M_q = (E_q^{(n)} + E_q^{(n+1)})/2 \quad (13)$$

*【0022】このように当該スロットに含まれているパイロットシンボルブロックから算出された平均誤差ベクトル $E_i^{(n)}$ と後続するスロットに含まれているパイロットシンボルブロックから算出された平均誤差ベクトル $E_q^{(n+1)}$ との平均値を補正ベクトルMとして用い、その共

10 役ベクトルを当該情報シンボルの受信ベクトルD(=D_i+j・D_q)と乗算することにより、二つのパイロットシンボルブロックにより挟まれた当該スロットの情報シンボルブロックの受信信号の位相誤差を補正する。

【0023】この第2の方法の場合には、情報シンボルブロックの両側に位置するパイロットシンボルブロックの受信信号の位相誤差に基づいて当該情報シンボルブロックの受信信号の位相補正を行なっているため、前記第1の方法よりも高精度の位相補正を行なうことができ

20 る。ただし、この場合には、前記位相誤差信号が算出されるまで当該情報シンボルブロックの受信信号を遅延するために、メモリ等の遅延回路を設けることが必要となる。

【0024】

【発明が解決しようとする課題】図7に示したRAKE受信機によれば、複数のパスの受信信号を合成して受信することができ、品質の良い信号受信を行うことができる。しかしながら、前記マルチパス選択部113におけるパス選択は、逆拡散後の信号の電力に基づくものであるため、干渉や雑音の影響を受けやすいものであった。

30 すなわち、前記マルチパス選択部113は、次の式(14)により各パスの逆拡散信号の信号電力|D|(D=D_i+j・D_q)を算出していた。

【数9】

$$|D| = \sqrt{D_i^2 + D_q^2} \quad (14)$$

【0025】しかしながら、この方法では、上記式(14)から明らかなように、干渉あるいは相互相関によるノイズ成分も逆拡散信号の正負にかかわらず全て正の値となるため、複数のシンボルの平均をとったときに、ピークとピーク部分以外との間の信号レベルの差が余り大きくならないという問題点があった。また、このようなRAKE受信機を携帯機に使用する場合には、機器の小型化や消費電力の低減が必要とされている。

【0026】そこで、本発明は、高精度の信号受信が可能な、回路規模が小さくかつ低消費電力とされたCDMA通信システムにおける信号受信装置を提供することを目的としている。特に、パス選択の精度が向上された高精度の信号受信装置を提供することを目的としている。

【0027】

* 50

【課題を解決するための手段】上記目的を達成するため

に、本発明のCDMA通信システムにおける信号受信装置は、各フレームが複数のスロットからなり、各スロットが複数の情報シンボルからなる情報シンボルブロックと複数のパイロットシンボルからなるパイロットシンボルブロックとを含むフレーム構成とされたCDMA通信システムにおける信号受信装置であって、受信信号を逆拡散するマッチドフィルタと、該マッチドフィルタから出力される逆拡散信号のレベルを検出する信号レベル検出部と、前記パイロットシンボルに対応する逆拡散信号に基づいてフレーム同期を検出するフレーム同期検出部と、前記パイロットシンボルに対応する逆拡散信号から位相補正信号を算出し、該位相補正信号を使用して前記情報シンボルに対応する逆拡散信号の位相補正を行うとともに、前記位相補正信号の電力に基づいて受信すべきパスを選択する位相補正およびパス選択部と、前記位相補正およびパス選択部から出力される前記位相補正された逆拡散信号をタイミングを一致させて合成するレーク合成部とを有するものである。

【0028】また、前記位相補正およびパス選択部は、前記パイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号をデジタル信号に変換するアナログデジタル変換器と、該デジタル化された位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記デジタル化された位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記マッチドフィルタから出力される情報シンボルの逆拡散信号をサンプルホールドするサンプルホールド回路と、該サンプルホールドされた情報シンボルの逆拡散信号と前記メモリから出力されるデジタル化された位相補正信号とを乗算する乗算器とを有するものである。

【0029】さらに、前記位相補正およびパス選択部は、前記マッチドフィルタから出力されるパイロットシンボルの逆拡散信号をデジタル信号に変換するアナログデジタル変換器と、該アナログデジタル変換器からのデジタル化されたパイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記マッチドフィルタから出力される情報シンボルの逆拡散信号をサンプルホールドするサンプルホールド回路と、該サンプルホールドされた情報シンボルの逆拡散信号と前記メモリから出力される位相補正信号とを乗算する乗算器とを有するものである。

【0030】さらにまた、前記位相補正およびパス選択

部は、前記マッチドフィルタから出力される逆拡散信号をデジタル信号に変換するアナログデジタル変換器と、該アナログデジタル変換器からのデジタル化されたパイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記アナログデジタル変換器からのデジタル化された情報シンボルの逆拡散信号と前記メモリから出力される位相補正信号とを乗算する乗算器とを有するものである。

【0031】さらにまた、前記位相補正およびパス選択部は、前記マッチドフィルタから出力されるパイロットシンボルの逆拡散信号をデジタル信号に変換する第1のアナログデジタル変換器と、該第1のアナログデジタル変換器からのデジタル化されたパイロットシンボルの逆拡散信号からそれに含まれている位相誤差を抽出し、それらの平均をとって位相補正信号として出力する位相誤差抽出・平均化手段と、該位相補正信号を記憶するメモリと、前記複数のスロットに対応する前記位相補正信号の平均値に基づいて受信信号電力を算出し、該算出値に基づいて受信パスを選択するパス選択部と、前記マッチドフィルタから出力される情報シンボルの逆拡散信号をデジタル信号に変換する第2のアナログデジタル変換器と、該第2のアナログデジタル変換器からのデジタル化された情報シンボルの逆拡散信号と前記メモリから出力される位相補正信号とを乗算する乗算器とを有するものである。

【0032】さらにまた、前記位相補正およびパス選択部は、受信信号のパイロットシンボルのタイミングに合わせて作動され、それ以外のタイミングにおいてはスリープ状態とされるものである。

【0033】位相補正信号から受信信号電力を算出しているため、干渉や雑音の影響を少なくすることができ、高精度のレーク受信が可能となる。また、パス選択回路の回路規模を小さくすることができ、消費電力も低減することが可能となる。

【0034】

【発明の実施の形態】図1は、本発明のCDMA通信システムにおける信号受信装置の一実施の形態の構成を示すブロック図である。なお、この図に示されているのは、前記図7の(b)における破線で囲まれた部分に対応している。

【0035】図1において、10は複素型のマッチドフィルタであり、前記図7の(b)に示した複素型のマッチドフィルタ110に相当するものである。この複素型のマッチドフィルタ10は、直交検波された受信信号R₁およびR₂をサンプリングした信号と所定の拡散符号レ

プリカ（ロングコードPNおよびショートコードPN）との相関演算を実行して、逆拡散された信号の同相成分（I成分） D_i および直交成分（Q成分） D_q を出力する。ここで、前記サンプリング周波数としては、チップレートに等しい周波数あるいはチップレートの整数倍（例えば2倍）の周波数とすることができる。

【0036】なお、このマッチドフィルタ10としては、例えば、DSP（digital signal processor）などのデジタル演算回路を使用したマッチドフィルタ、SAW（surface acoustic wave）素子などを使用したマッ

チドフィルタ、あるいは、本出願人が提案しているアナログ型のマッチドフィルタ（特開平09-83486号公報）などどのようなタイプのものでも使用することが可能である。ただし、前記デジタル演算回路を使用したものを使用するときには、前記直交検波出力をA/D変換して当該マッチドフィルタに入力することが必要となる。また、前記アナログ型のマッチドフィルタを用いるときには、低消費電力かつ高速、高精度の演算が可能となる。

【0037】11は前記複素型のマッチドフィルタ10から出力される相関出力 D_i 、 D_q から受信信号電力を算出する信号レベル検出部であり、その出力はフレーム同期部12に入力される。12はフレーム同期部であり、前記信号レベル検出部11から出力される受信信号電力を複数シンボルにわたって平均し、最大平均電力に対応するパスの信号を受信し、該受信信号中に含まれている前記パイロットシンボルの受信信号が予め定められた所定のパターンであるか否かを検出する。そして、当該所定のパターンを検出したときに、フレーム同期信号を出力する。この所定のパターンを検出する方法としては、

例えばマッチドフィルタを用いて判定する方法、受信したパイロットシンボルの逆拡散信号の遅延検波出力が当該所定のパターンと一致するか否かを判定する方法等がある。

【0038】13は、前記複素型のマッチドフィルタ10の出力に含まれる前記パイロットシンボルの受信信号に基づいて位相補正信号を算出して情報シンボルの逆拡散信号の位相補正を行なうとともに、該位相補正信号から各パスの受信信号電力を算出して、受信すべきパスを選択する位相補正およびパス選択部である。この位相補正およびパス選択部13の詳細については後述する。14は、前記位相補正およびパス選択部13から出力される各パスの位相補正された受信信号をタイミングを合わせて合成し、I成分およびQ成分の合成出力 $D_{i,bar}$ および $D_{q,bar}$ を出力するRAKE合成部である。このRAKE合成部15の出力 $D_{i,bar}$ 、 $D_{q,bar}$ は、後続する判定回路において情報復調されることとなる。なお、このRAKE合成部14の詳細については後述する。

【0039】次に、前記位相補正およびパス選択部13について説明するが、ここでは、位相補正の方法として

前記第1の方法（外挿補正）を採用した場合を例にとつて説明する。なお、前記第2の方法（内挿補正）を採用した場合でも、情報シンボルの逆拡散信号を遅延する手段を設けることにより同様に適用することができる。

【0040】図2は、前記位相補正およびパス選択部13の第1の実施の形態の構成を示すブロック図である。図2において、20は前記マッチドフィルタ10から出力されるパイロットシンボルの逆拡散信号に対し、位相誤差抽出および平均化を行って位相補正信号を算出する位相誤差抽出・平均化手段であり、前記図8における位相誤差抽出・平均化手段120に対応する。30は該位相補正信号に基づいて情報シンボルの逆拡散信号の位相補正処理を行う位相補正手段であり、前記図8における位相補正手段130に対応する。

【0041】また、21は前記位相誤差抽出・平均化手段20から出力される、各パスに対応する1スロット中に含まれるパイロットシンボルの位相誤差の平均値（すなわち、位相補正信号） M_i 、 M_q を所定ビット数（例えば8ビット）のデジタル信号に変換するアナログデジタル変換器（A/D変換器）、22は該A/D変換器21から出力されるデジタルデータに変換された位相補正信号を格納するメモリ、23は該メモリ22に格納された位相補正信号の所定スロット数分の平均値を計算し、該位相補正信号の平均値に基づいて各パスの受信信号電力レベルを算出し、該受信信号レベルが所定値より大きい複数のパスを選択するパス選択部である。

【0042】さらに、31は前記マッチドフィルタ10から出力される情報シンボルの逆拡散信号をサンプルホールドするサンプルホールド回路、32は該サンプルホールド回路31から出力される各パスの情報シンボルのサンプリングされた逆拡散信号と、前記メモリ22に格納されている当該位相補正信号との乗算を実行する乗算器である。このサンプルホールド回路31と乗算器32により、前記位相補正手段30が構成されている。そして、この乗算器32から出力される各パスの位相補正された情報シンボルの逆拡散信号は、前記RAKE合成回路14においてタイミングを合わせて加算され、パスダイバーシティが行なわれることとなる。

【0043】なお、この実施の形態においては、前記複素型マッチドフィルタ10は前述したアナログ型のマッチドフィルタとされており、また、前記直交検波された受信信号はチップ周期でサンプリングされてこの複素型マッチドフィルタ10に入力されているものとして説明する。なお、ダブルサンプリングあるいは多数倍サンプリングの場合でも同じような方法で構成することができる。また、前記乗算器32は、アナログの逆拡散信号とデジタルの位相補正信号とを乗算する機能を有するものとされており、例えば、本出願人が提案しているアナログデジタル乗算器（特開平06-162230号公報、特開平06-215164号公報参照）を使用すること

10

20

30

40

50

ができる。

【0044】このように構成された位相補正およびパス選択部13において、前記マッチドフィルタ10からは前記受信信号の逆拡散出力 D_i 、 D_q がチップタイミング毎に出力され、各パスに対応したタイミングで位相補正済みの信号が出力されている。

【0045】前記位相誤差抽出・平均化手段20には、前記フレーム同期回路12から供給されるフレーム同期信号に基づいて、各スロットにおけるパイロットシンボルブロックのタイミングにおける前記逆拡散信号が入力される。そして、前述した式(2)に基づいて、各チップタイミング毎に出力されるパイロットシンボルの逆拡散信号に含まれている位相誤差を算出する。そして、当該スロット中のパイロットシンボルブロックに含まれるパイロットシンボル全部(例えば4パイロットシンボル)について、各チップタイミング毎、すなわち、各パス毎に算出した位相誤差の平均値 E (式(3))を算出する。

【0046】この各チップタイミング毎の平均値 E は前記A/D変換器21に出力され、該A/D変換器21において例えば8ビットのデジタル信号に変換され、メモリ22に記憶される。このようにして、メモリ22には、各チップタイミングに対応する前記式(5)および*

$$|Y| = \sqrt{Y_i^2 + Y_q^2} \approx \max(|Y_i|, |Y_q|) + \frac{3}{8} \min(|Y_i|, |Y_q|) \quad (17)$$

そして、この平均受信電力 $|Y|$ が大きい方から順に複数個(L個)のパスが受信すべきパスとして選択され、前記情報シンボルの位相補正手段30に選択されたパスのタイミング信号が供給される。

【0049】これにより、前記サンプルホールド回路31は当該選択されたパスに対応するチップタイミングで前記マッチドフィルタ10から出力される情報シンボルをサンプリングし、乗算器32に出力する。乗算器32において、該サンプルホールド回路31から出力される選択されたパスの逆拡散信号と前記メモリ22に格納されている対応するパスの受信信号に対応する位相補正信号とが乗算され、前記式(7)に示した位相補正演算が行なわれる。位相補正された前記選択されたパスの受信信号は、前記RAKE合成部14においてタイミングを合わせて加算され、前記式(8)および式(9)に示すRAKE合成出力が出力されることとなる。

【0050】このように、本発明によれば、正あるいは負の値をとる各スロットの位相補正信号 $M_i(n)$ 、 $M_q(n)$ について、前記式(15)および式(16)に示すように平均値を算出しているため、雑音や干渉成分が平均化され、前述した式(14)に示す値の平均を算出している従来技術の場合のよりも、相互相関や干渉成分の影響を大きく抑圧することができる。また、ロングコードとショートコードを用いた2重拡散符号を用いたときには、ロングコードによる相互相関は各シンボル毎に

*式(6)に示される位相補正信号 M_i 、 M_q が格納される。

【0047】このメモリ22に格納された各チップタイミングの位相補正信号は、前記パス選択部23に入力され、該パス選択部23において、次の式(15)および式(16)に示す、数スロット分の各チップタイミング毎の位相補正信号の平均値が算出される。

【数10】

$$Y_i = \frac{1}{T} \sum_{n=1}^T M_i(n) \quad (15)$$

$$Y_q = \frac{1}{T} \sum_{n=1}^T M_q(n) \quad (16)$$

ここで、 T は平均をとるスロット数であり、 (n) はスロットの番号を示している。

【0048】続いて、式(15)および式(16)で算出した位相補正信号の T スロットの平均値 Y_i 、 Y_q の値に基づいて、各パスの受信信号の電力レベルが次の式(17)に基づいて算出される。ここで、 $Y = Y_i + j \cdot Y_q$ である。

【数11】

ランダムな値となるが、本発明のように複数シンボルの平均をとったときには、このロングコードのランダム性が有効に作用し、相互相関の影響を少なくすることができる。なお、前記A/D変換器21、前記サンプルホールド回路31および前記乗算器32等は、チップレートで処理することが必要となる。

【0051】図3は、本発明の前記位相補正およびパス選択部13の第2の実施の形態の構成を示すブロック図である。この図に示す実施の形態は、前記パイロットシンボルの位相誤差抽出・平均化手段20をデジタル回路により構成するようにしたものである。図3に示すように、この実施の形態においては、前記位相誤差抽出・平均化手段20の前段にA/D変換器24が設けられており、前記マッチドフィルタ10の出力のうちのパイロットシンボルブロックに対応する逆拡散信号は該A/D変換器24により所定ビット(例えば8ビット)のデジタルデータに変換されてから、前記位相誤差抽出・平均化手段20に入力される。そして、該位相誤差抽出・平均化手段20において、前述した位相補正信号 M_i 、 M_q がデジタル演算回路により算出される。その他の処理は、前記図2に示した実施の形態と同様であるので、説明は省略する。

【0052】図4は、前記位相補正およびパス選択部13の第3の実施の形態の構成を示すブロック図である。この図に示す実施の形態は、前記乗算器32としてデジ

タル乗算回路を使用するようにしたものであり、前記マッチドフィルタ10の出力信号をデジタルデータに変換するA/D変換器25が設けられている。そして、このA/D変換器25の出力が前記パイロットシンボルの位相誤差抽出・平均化手段20および前記情報シンボルの位相補正手段30に入力されるようになっている。そして、前記情報シンボルの位相補正手段30には前記A/D変換器25から出力される逆拡散信号のパッファとして動作するメモリ33が設けられている。その他の動作は前述した第1および第2の実施の形態と同様であるので、詳細な説明は省略する。

【0053】図5は、前記位相補正およびパス選択部13の第4の実施の形態の構成を示すブロック図である。この図に示す実施の形態は、前記図3に示した第3の実施の形態におけるサンプルホールド回路31を第2のA/D変換器34に置換したものである。この実施の形態においても、前記乗算器32としてデジタル乗算回路を使用する。そして、前記マッチドフィルタ10の出力をこの第2のA/D変換器34によりデジタルデータに変換して前記乗算器32に入力している。その他の動作は前述した第1および第2の実施の形態と同様であるので、詳細な説明は省略する。

【0054】なお、前記複素型マッチドフィルタとして、アナログ型のマッチドフィルタではなくデジタル回路により構成されたマッチドフィルタを用いるときには、前記A/D変換器25を設けることなく、該マッチドフィルタの出力を直接に位相誤差抽出・平均化手段20および位相補正手段30に入力すればよい。

【0055】次に、前記パス選択部23について説明する。図6は、前記パス選択部23の一構成例を示すブロック図である。この図において、41₁～41_Nはパス候補に対応して設けられた受信電力レベル計算部であり、Nは1シンボルのチップ数×オーバーサンプリング倍数に等しい。例えば、1シンボルが128チップで、ダブルサンプリングとされているときには、N=256となる。各受信電力レベル計算部41₁～41_Nには、対応する位相補正信号のI成分M_iおよびQ成分M_qが入力される平均化回路51および52が設けられており、それぞれ、位相補正信号の数スロット分の平均値(式(15)および式(16))を算出する。各位相補正信号の平均出力は、電力計算部53に入力され、前記式(17)に示す平均受信電力|Y|が算出される。

【0056】このようにして算出された各パス候補、すなわち、各チップタイミングにおける平均受信電力は、選択部42に入力され、受信電力の大きい方から最大L個のパスが選択される。この選択されたL個のパスに対応するタイミング信号は前述したように、位相補正手段30に供給される。

【0057】このように、本発明によれば、パス選択部23に前記メモリ22からのデジタルの位相補正信号が

入力されるようになされているため、従来技術のようにパス選択のためにのみA/D変換器を設けることが不要となり、回路規模を少なくすることができる。また、パス選択部の動作タイミングは、パイロットシンボルブロックの受信タイミングに対応したタイミングとなり、情報シンボルブロックのタイミングにおいてはパス選択部23をスリープ状態とすることができ、低消費電力のものとすることができる。

【0058】

10 【発明の効果】以上説明したように、本発明の信号受信装置によれば、パス選択のための受信信号電力を位相補正信号により算出するようにしているため、雑音や干渉成分の影響を効果的に除去することが可能となり、さらに、ロングコードのランダム性を有効に利用することができ、受信信号レベルのピーク検出を正確に行なうことが可能となる。また、従来のパス選択部のようにパス選択だけのためにA/D変換器を設けることが不要となり、パス選択部の回路規模を小さくすることができ、低消費電力のものとすることが可能となる。

20 【図面の簡単な説明】

【図1】 本発明の信号受信装置の一実施の形態の構成を示すブロック図である。

【図2】 本発明の信号受信装置における位相補正およびパス選択部の第1の実施の形態の構成を示すブロック図である。

【図3】 本発明の信号受信装置における位相補正およびパス選択部の第2の実施の形態の構成を示すブロック図である。

30 【図4】 本発明の信号受信装置における位相補正およびパス選択部の第3の実施の形態の構成を示すブロック図である。

【図5】 本発明の信号受信装置における位相補正およびパス選択部の第4の実施の形態の構成を示すブロック図である。

【図6】 本発明の信号受信装置におけるパス選択部の構成例を示すブロック図である。

【図7】 DS-SS-CDMA通信システムにおける送信データのフレーム構成例および従来のRAKE受信機を説明するための図である。

40 【図8】 位相補正手段の機能構成を示すブロック図である。

【図9】 位相補正動作を説明するための図である。

【符号の説明】

10、110 複素型マッチドフィルタ
11、112 信号レベル検出部
12、114 フレーム同期回路
13 位相補正およびパス選択部
14、116 RAKE合成部
20、120 位相誤差抽出・平均化手段
21、24、25、34 A/D変換器

17

18

2 2、3 3 メモリ

2 3 パス選択部

3 0、1 3 0 位相補正手段

3 1 サンプルホールド回路

3 2 乗算器

* 4 1₁ ~ 4 1_N 受信電力計算部

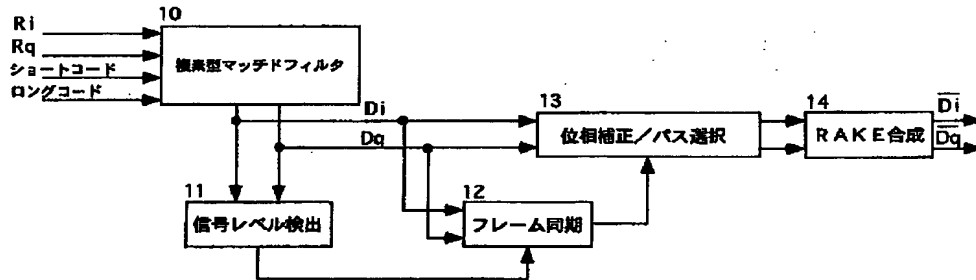
4 2 選択部

5 1、5 2 平均化部

5 3 電力計算部

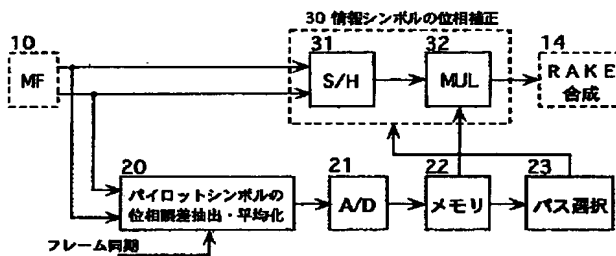
* 1 0 3 分配器

【図 1】



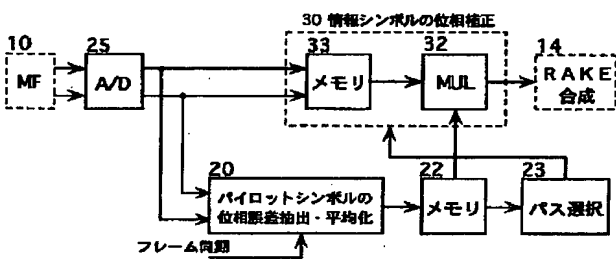
【図 2】

【図 3】

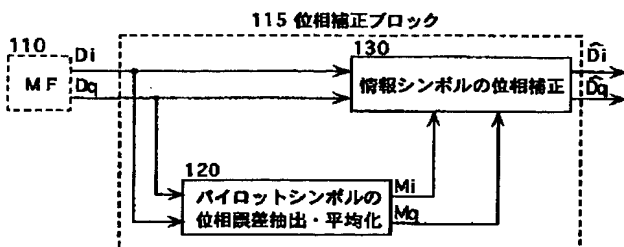
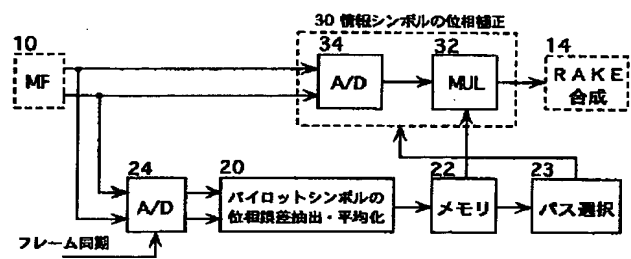


【図 4】

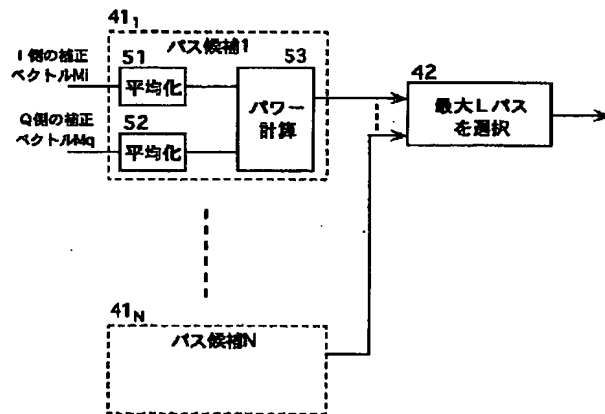
【図 5】



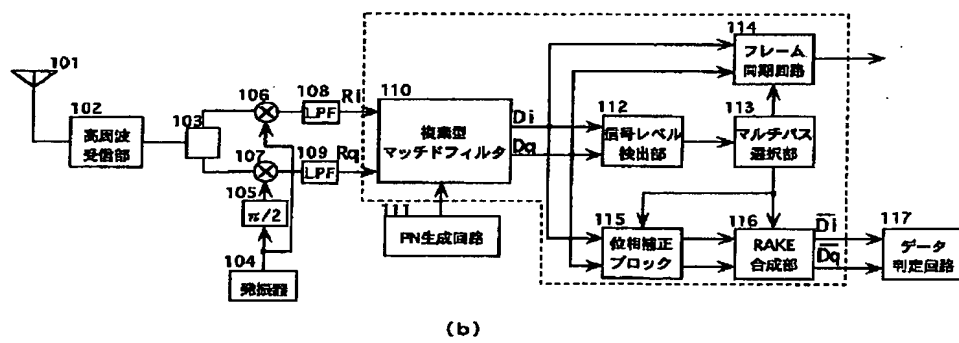
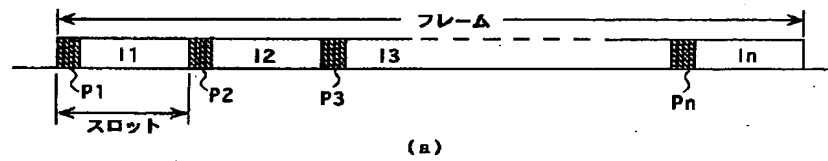
【図 8】



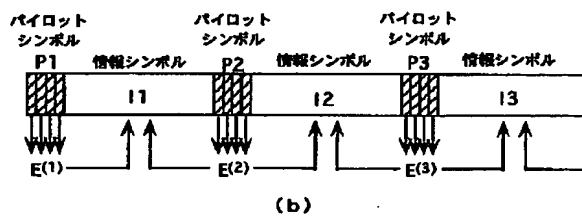
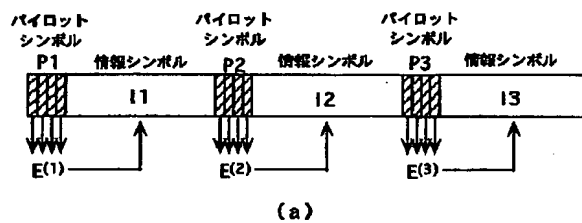
【図 6】



【図 7】



【図 9】



フロントページの続き

(72)発明者 佐和橋 衛
横須賀市光の丘 1 番 1 号 エヌ・ティ・テ
ィ移動通信網株式会社内

(72)発明者 安達 文幸
横須賀市光の丘 1 番 1 号 エヌ・ティ・テ
ィ移動通信網株式会社内